

西安电子科技大学“微电之光”暑期学校

硬件工程师的摇篮

为贯彻落实《中国制造 2025》战略部署，以人才培养助力实现制造强国的战略任务，积极参与“一带一路”区域合作与发展战略的实施，在人才培养领域与睦邻国家开展交流与合作，共同积极应对信息技术产业发展与变革带来的机遇与挑战，充分发挥西安电子科技大学（以下简称西电）在微电子领域的学科、科研和人才培养优势和顶级企业资源聚合能力，主动面向行业需求，创新人才培养模式，联合行业领军企业，共同搭建信息技术产业高层次应用型人才培养平台，现决定举办“微电之光”暑期学校——“集成电路技能实训”活动。

本期“微电之光”暑期学校面向陕西省高校在校学生，所开设的集成电路基本技能实训（数字），是西电微电子学院联合英特尔移动通信技术（西安）有限公司（Intel）、上海楷登电子科技有限公司(Cadence)、新诺普思科技（武汉）有限公司（Synopsys）开展的一项公益性教育培训活动，学校汇聚了一批优秀的企业精英以及在本领域具有较高水平的教师为同学们讲授和指导，旨在培养学生理论联系实际、独立思考和操作能力，从而巩固和加深所学专业基础知识，帮助同学们初步具备从事数字集成电路设计的能力。

一、拟招选的学生要求：具有推免资格的大四本科生、研究生一年级推免生、具有集成电路及相关专业知识背景并热衷于集成电路设计的优秀学生；

二、拟招选的学生人数：拟接收 100 名学生；

三、报名时间：6月20日-6月25日，北校区东大楼315办公室；

四、选拔方式：笔试测试，择优选拔；

测试内容：数字电子线路、数字集成电路、计算机原理

笔试时间：7月1日北校区教学楼

五、培训目标：自选或限选设计题目，完成设计作品并验收；

设计题目：PIC 系列 8 位 MCU（不大于 40 条指令，从代码开始）或者其它型号的 MCU（比如 intel8051、MIPS 等，提供内核框架及代码或者网表，学生负责设计外部 IO 并调试）

六、教学场地：微电子学院 EDA 中心（西安电子科技大学北校区东大楼三层）

七、培训时间与教学内容安排：

第一周：7 月 17-22 日 HDL 数字集成电路设计与 MCU 架构；

第二周：7 月 24-29 日 电路综合与时序分析；

第三周：7 月 31-8 月 5 日 UVM 技术、FPGA 设计与验证

第四周：8 月 7-8 月 11 日 先进工艺下（14nm? /22nm? ）VLSI 物理实现；

八、考核标准：

学生工作以 MCU 设计目标完成代码设计、仿真验证、电路综合，FPGA 验证、物理版图实现，考核标准为：

- （1）代码完成，仿真正确：30%
- （2）综合完成，满足时序、面积优化：40%
- （3）FPGA 板级运行正确：15%
- （4）物理实现完整：15%

考核合格颁发培训证书

九、“微电之光”暑期学校闭幕式：

8 月 12 日 学员作品验收及评比

8 月 13 日 “微电之光”暑期学校闭幕式活动

地点：西安电子科技大学北校区东大楼 221 报告厅

议程：

- | | |
|-------------|---------------------------|
| 14:30~14:50 | 学校领导讲话/英特尔领导讲话 |
| 14:50~15:00 | 介绍“微电之光”暑期学校开展情况 |
| 15:00~15:15 | 获奖学生汇报展示作品成果（PPT 演示+实物展示） |
| 15:15~15:30 | 专家点评 |
| 15:30~15:40 | 颁奖（Intel 赞助） |

西安电子科技大学微电子学院

2017 年 6 月 15 日

集成电路基本技能实训大纲

开课单位：西安电子科技大学 微电子学院

英特尔移动通信技术（西安）有限公司（Intel）

上海楷登电子科技有限公司(Cadence)

新诺普思科技（武汉）有限公司（Synopsys）

教学时数：4 周

开设时间：暑假 (2017 年 7 月 17-8 月 13 日)

学员性质：优选大四已保研学生、研一推免生以及具有相关能力的学生

授课方式：理论 + 实验

课程安排：课堂理论 9:00~12:00

课堂实践 14:30~17:30, 19:00~22:00

授课地点 西安电子科技大学北校区东大楼 EDA 中心（三层）

适用专业：集成电路设计相关专业

先修课程：数字集成电路相关课程

参考资料：

1. Verilog HDL 数字集成电路设计原理与应用，西安电子科技大学出版社 蔡觉平等
2. Reuse Methodology Manual for System-on-a-Chip Designs, KLUWER ACADEMIC Publishers, Michael Keating etc
3. A Practical Guide to Adopting the UVM, Cadence Corp, Sharon Rosenberg, Kathleen Meade
4. Advanced ASIC Chip Synthesis_-_Using_Synopsys_Design_Compiler,physical_compiler_and_PrimeTime, KLUWER ACADEMIC Publishers, Himanshu Bhatnagar
5. Design Compiler User Guider, Synopsys Corp
6. Formality User Guider, Synopsys Corp
7. Prime time User Guider, Synopsys Corp
8. IC Compiler User Guider, Synopsys Corp
9. SoC Encounter User Guider, cadence Corp

教学目标:

集成电路（IC）技术和电子设计自动化（EDA）的进步极大地推动了数字系统设计的发展，本课程针对低年级研究生和取得研究生入学资格的优秀本科生设计，旨在提升学生应用所学理论知识和当前 EDA 工具完成工程设计的能力，帮助学生了解数字集成电路设计过程，掌握基于 HDL 语言和 EDA 工具的数字系统设计方法，FPGA 设计方法，现代 UVM 验证方法，以及基本的硬件调试分析方法，使得学生初步具备从事数字集成电路设计的能力。

主要内容:

第一周：HDL 数字集成电路设计与（ARC）架构

(主讲教师：蔡觉平教授、汤华莲讲师、Synopsys)

Day 1: Verilog HDL 数字电路设计

- (1) 组合电路
- (2) 时序电路
- (3) 有限状态机

Day2: Verilog HDL 仿真验证、Testbench 搭建

Day3: Verilog HDL 代码风格与仿真工具

Day4: ARC ISA 与微架构

Day5: ARC 流水技术、总线接口与 IO

Day6: 处理器与 OS

第二周：嵌入式开发、电路综合、时序分析

(主讲教师：Synopsys、史江义副教授)

Day 1: 嵌入式基本概念

- (1) 什么是嵌入式设计？涉及那些过程与技术。
- (2) ARC MeraWare toolkit

Day 2: MQX OS

- (1) MQX 结构
- (2) MQX 任务、存储管理
- (3) MQX 通讯机制

Day 3: ARC EM Starter Kit

- (1) EM Kit FPGA 板介绍
- (2) UART 接口与调试

Day 4: 什么是综合

- (1) 什么是综合? EDA 实现电路的基本方法。
- (2) 综合的核心概念
- (3) 时序的基本概念与时序报告
- (4) 脚本

Day 5: 综合数据准备与 DC

- (1) Pre-synthesis processes
- (2) DC 启动与图形界面

Day 6: 约束与时序

- (1) Constraining 设计
- (2) Timing
- (3) Synthesis 设计

第三周: UVM 技术、FPG 设计与验证

(主讲教师: Intel 刘斌高工、靳刚副教授、李振荣副教授)

Day 1: SystemVerilog

- (1) 验证周期与验证计划
- (2) SystemVerilog 初步
- (3) 设计准备
- (4) 激励的产生

Day 2: UVM 基本概念

- (1) 功能覆盖率
- (2) 收敛(回归)技术

Day 3: UVM 高级技术(刘斌高级工程师)

- (1) 验证方法学介绍
- (2) 断言验证技术
- (3) 虚拟原型与验证规划
- (4) 验证规划、验证调试和测试队列分析

Day 4: FPGA 基本架构与约束技术

- (1) FPGA 基本架构与资源分析
- (2) FPGA 设计流程
- (3) 管脚配置、全局资源约束

(4) 时序约束

Day 5: FPGA 设计仿真与编程调试

- (1) FPGA 设计仿真
- (2) Chipscope/SignalStorm 调试技术
- (3) 信号触发、捕获与匹配;
- (4) 编程: PS 方式、AS 方式、JTAG 方式等

Day 6: FPGA 板级调试

- (1) FPGA 板资源介绍
- (2) FPGA 板级调试技术

第四周: 先进工艺下 (14nm/22nm) VLSI 物理实现

(主讲教师: cadence、华为技术有限公司-海思半导体)

Day 1: 数据准备

库文件、网表、约束

Day 2: 物理设计流程

- (1) Floorplan 布局
- (2) PG 布局

Day 3: 时钟树综合、布线

- (1) 时钟树综合
- (2) 时钟树优化
- (3) 布线
- (4) 后续处理

Day 4: 案例分析 1

Day 5: 案例分析 2

Day 6: 设计题目演示、验收、评比;

- (1) 总结考核-颁发证书